

III-V GROUP COMPOUND SEMICONDUCTOR DEVICE

Patent number: JP6168960
Publication date: 1994-06-14
Inventor: YOSHIKAWA SHUNEI; others: 01
Applicant: FUJITSU LTD
Classification:
- international: H01L21/338; H01L29/812
- european:
Application number: JP19920320095 19921130
Priority number(s):

Also published as:

FR2698722 (A1)

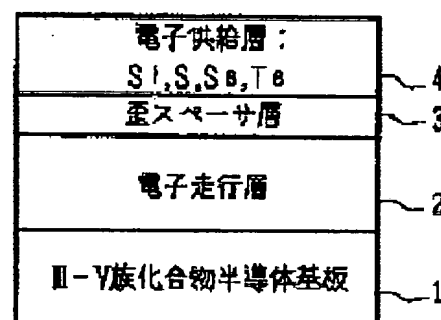
Report a data error here

Abstract of JP6168960

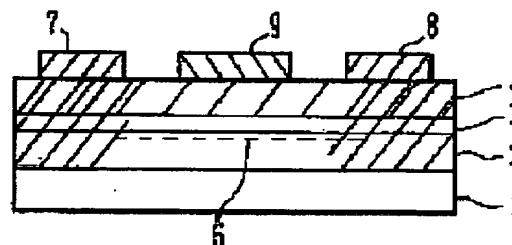
PURPOSE: To provide a HEMT III-V group compound semiconductor device capable of exhibiting high quality, by adopting an electron supply layer using material except Si-doped AlGaAs, regarding a high electron mobility transistor (HEMT) III-V group compound semiconductor device.

CONSTITUTION: A high electron mobility transistor III-V group compound semiconductor device consists of the following; a substrate 1 of III-V group compound semiconductor, an electron transit layer 2 which is arranged on the substrate 1 and formed of III-V group compound semiconductor having a band gap wider than that of the electron transit layer 2 and a small electron affinity. An electron supply layer 4 doped with impurities, and a spacer layer 3 of compound semiconductor which is arranged between the electron transit layer 2 and the electron supply layer 4 and has strain due to lattice mismatch with the electron supply layer 4 are contained.

(A)



(B)



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3224437号
(P3224437)

(45) 発行日 平成13年10月29日 (2001. 10. 29)

(24) 登録日 平成13年 8 月24日 (2001. 8. 24)

(51) Int.Cl.⁷

識別記号

F I

H 0 1 L 29/778

H 0 1 L 29/80

H

21/338

29/812

請求項の数 9 (全 10 頁)

(21) 出願番号 特願平4-320095

(22) 出願日 平成4年11月30日 (1992. 11. 30)

(65) 公開番号 特開平6-168960

(43) 公開日 平成6年6月14日 (1994. 6. 14)

審査請求日 平成9年7月3日 (1997. 7. 3)

(73) 特許権者 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1
番1号

(72) 発明者 吉川 俊英
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72) 発明者 落水 洋聡
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74) 代理人 100091340
弁理士 高橋 敬四郎

審査官 今井 拓也

最終頁に続く

(54) 【発明の名称】 I I I - V 族化合物半導体装置

1

(57) 【特許請求の範囲】

【請求項1】 I I I - V 族化合物半導体の基板と、
前記基板上に配置され、I I I - V 族化合物半導体で形
成された電子走行層と、
前記電子走行層よりも広いバンドギャップと小さい電子
親和力を有する I I I - V 族化合物半導体で形成され、
不純物がドーブされた電子供給層と、
前記電子走行層と電子供給層の間に配置され、前記電子
供給層に対して格子不整合で歪を有し不純物がドーブさ
れている I I I - V 族化合物半導体のスペーサ層とを含
む高電子移動度トランジスタ型 I I I - V 族化合物半導
体装置。

【請求項2】 I I I - V 族化合物半導体の基板と、
前記基板上に配置され、前記基板と格子整合し I I I -
V 族化合物半導体で形成された電子走行層と、

2

前記電子走行層よりも広いバンドギャップと小さい電子
親和力を有し、前記基板と格子整合した I I I - V 族化
合物半導体で形成され、不純物がドーブされた電子供給
層と、
前記電子走行層と電子供給層の間に配置され、前記電子
供給層に対して格子不整合で歪を有し A l G a A s を含
まない I I I - V 族化合物半導体のスペーサ層とを含む
高電子移動度トランジスタ型 I I I - V 族化合物半導体
装置。

10 【請求項3】 前記基板及び前記電子走行層が G a A s
であり、
前記電子供給層が I n G a P 層であり、
前記スペーサ層が I n_xG a_{1-x}P 層であることを特徴と
する請求項2記載の高電子移動度トランジスタ型 I I I
- V 族化合物半導体装置。但し、前記 I n_xG a_{1-x}P 層

の x 値は $x \leq 0.48$ である。

【請求項4】 前記 x は0.4以下であることを特徴とする請求項3記載の高電子移動度トランジスタ型III-V族化合物半導体装置。

【請求項5】 前記基板及び前記電子走行層がGaAsであり、前記電子供給層がInGaPであり、前記スペーサ層がGaP分子層、超格子構造、GaAsP層の少なくとも1つを含むことを特徴とする請求項2記載の高電子移動度トランジスタ型III-V族化合物半導体装置。

【請求項6】 前記電子供給層が、 $(Al_xGa_{1-x})_xIn_{1-x}P$ 層、InAlAs層のいずれかであることを特徴とする請求項2記載の高電子移動度トランジスタ型III-V族化合物半導体装置。

【請求項7】 前記電子走行層がInGaAs層、InAsP層、InP層のいずれかである請求項2記載の高電子移動度トランジスタ型III-V族化合物半導体装置。

【請求項8】 前記基板がInP基板であり、前記電子走行層がInGaAs層、InP層、InAsP層のいずれかであり、前記電子供給層がAlAsSb層であり、前記スペーサ層がAlAs_xSb_{1-x}層であることを特徴とする請求項2記載の高電子移動度トランジスタ型III-V族化合物半導体装置。但し、前記AlAs_xSb_{1-x}層の x 値は、 $x \geq 0.51$ である。

【請求項9】 GaAs基板と、前記基板上に形成されたInGaAs電子走行層と、前記電子走行層上に形成され、不純物がドーピングされたInGaP電子供給層と、前記電子走行層と前記電子供給層の間に形成され、 $In_xGa_{1-x}P$ 層からなるスペーサ層とを含む高電子移動度トランジスタ型III-V族化合物半導体装置。但し、前記 $In_xGa_{1-x}P$ 層の x 値は $x < 0.4$ である。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、III-V族化合物半導体装置に関し、特に高電子移動度トランジスタ(HEMT)型III-V族化合物半導体装置に関する。

【0002】

【従来の技術】従来、高電子移動度トランジスタ(HEMT)は、主としてGaAs基板上にi型GaAsの電子走行層をエピタキシャルに形成し、その上にn型AlGaAsの電子供給層をエピタキシャルに成長した構成を用いている。電子供給層には、n型不純物として、通常Siが高濃度にドーピングされ、電子走行層にエレクトロンをキャリアとして供給する。

【0003】なお、電子供給層の上には、n型GaAsのキャップ層を形成し、キャップ層上にオーミック接触するソース/ドレイン電極と、ショットキ接触するゲ-

ト電極を形成する。また、電子走行層と電子供給層との間に、電子供給層と同じ組成で不純物を含まないスペーサ層を挿入することも行なわれている。

【0004】SiドーピングのAlGaAsには、DXセンタと呼ばれる深い準位が形成される。このDXセンタのため、AlGaAs/GaAs系HEMTの素子特性は制限されてしまう。特に、液体窒素温度等の低温動作をさせようとする、DXセンタが特性を著しく低下させてしまう。

10 【0005】このため、DXセンタを含まない電子供給層を用いたHEMTが注目されるようになってきている。DXセンタを含まない電子供給層の材料としては、InGaP系やInAlAs系等が注目されている。

【0006】InGaP系HEMTの大量生産を考える場合、蒸気圧が高く、可燃性のPを取り扱える有機金属気相成長(MOVPE)法を用いることが望ましく、また均一性保持のためには、減圧炉中での減圧MOVPEが必要と考えられる。

20 【0007】ところが、Pの材料として、通常用いられるホスフィン(PH₃)は分解温度が高く、流速の高い減圧炉では十分分解しきれないうちに、基板上を通り過ぎてしまう。

【0008】十分量のPを供給するためには、非常に多量のホスフィンを供給する必要が生じる。P原料としてホスフィンを大量に供給することにより、良質のInGaP層を成長することができるようになった。

30 【0009】ところが、実際にInGaP系HEMTを製造すると、その特性は期待するほど良くなる。この難しさは、数多くの研究者によっても報告されている。SiドーピングのInGaP電子供給層を用いると、ノンドーピングの場合と比較して特性が劣化する現象は、Siにその原因の少なくとも一部が存在すると考えられる。

【0010】SiドーピングのInGaP電子供給層と、i型GaAs電子走行層の間に、ノンドーピングのInGaPスペーサ層を挿入して、Siの固相拡散の影響を低減することが行なわれている。しかしながら、スペーサ層の厚さが50Å以下のように薄い場合は、やはり特性が劣化してしまう。

40 【0011】Siのドーピング量を $1 \times 10^{17} \text{ cm}^{-3}$ とした場合には、77Kの移動度として $23000 \text{ V}^2 \text{ cm}^{-1} \text{ s}^{-1}$ 程度の良好な値が得られているが、その時の2次元電子ガス濃度は $5 \times 10^{11} \text{ cm}^{-2}$ と低くなってしま。2次元電子ガス濃度が低いと、HEMTデバイスの伝達コンダクタンス等が小さくなり、実用的ではない。2次元電子ガス濃度は、 $1 \sim 2 \times 10^{12} \text{ cm}^{-2}$ 程度ないしそれ以上の値が望まれる。

50 【0012】Siのドーピング量を $1.4 \times 10^{18} \text{ cm}^{-3}$ と増大させると、77Kの2次元電子ガス濃度は $1.8 \times 10^{12} \text{ cm}^{-2}$ と満足できる値になるが、この時の移動度は $1400 \text{ V}^2 \text{ cm}^{-1} \text{ s}^{-1}$ と低くなってしま。

5

【0013】このように、Siのドーピングレベルを調整すると、2次元電子ガス濃度と移動度のいずれか一方は改善することができるが、他方が低くなり、実用的なものは得られなかった。

【0014】スペーサ層にノンドープAlGaAsを用い、SiドーピングのInGaP電子供給層からのSiの拡散を防ぐ構成も提案されているが、AlGaAsにSiが拡散すると、DXセンタが発生し、液体窒素温度等の低温動作には障害が生じてしまう。

【0015】しかも、最近はノンドープ層の厚みを0とする構成が、2次元電子ガス濃度を高くすることができるため、主流となってきた。このため、AlGaAsノンドープ層は実用的でなくなっている。よってノンドープ層の厚さを0として、かつ良好な特性をだすためには、ますます界面制御が重要となっている。

【0016】

【発明が解決しようとする課題】このように、SiドーピングのAlGaAs電子供給層以外の材料を用いた新規なHEMTを製造する技術は未だ十分開発されたとは言えない。

【0017】本発明の目的は、SiドーピングのAlGaAs以外の材料を用いた電子供給層を採用し、高性能を発揮することのできるHEMT型III-V族化合物半導体装置を提供することである。

【0018】

【課題を解決するための手段】本発明のヘテロ接合半導体装置は、III-V族化合物半導体の基板と、前記基板上に配置され、III-V族化合物半導体で形成された電子走行層と、前記電子走行層よりも広いバンドギャップと小さい電子親和力を有するIII-V族化合物半導体で形成され、不純物をドーピングされた電子供給層と、前記電子走行層と電子供給層の間に配置され、前記電子供給層に対して格子不整合で歪を有し不純物がドーピングされているIII-V族化合物半導体のスペーサ層とを含む。

【0019】

【作用】電子供給層と電子走行層との間に、歪を有するスペーサ層を介在させることにより、高電子移動度トランジスタ(HEMT)型III-V族化合物半導体装置の特性を改善することができる。

【0020】歪を内在するスペーサは、電子供給層からのn型不純物の固相拡散防止に有効なものと考えられる。

【0021】

【実施例】図1に、本発明の実施例によるHEMT型III-V族化合物半導体装置の基本構成を示す。図1(A)は、基板上の積層構造を概略的に示し、図1(B)は、HEMTの素子構造を概略的に示す。

【0022】図1(A)において、III-V族化合物半導体基板1の上に、電子走行層2、歪を有する歪スベ

6

ーサ層3、電子供給層4がエピタキシャルに積層されている。基板1は、たとえば半絶縁性であり、電子走行層2は不純物濃度の低いi型である。歪スペーサ層3は、電子供給層4に対して格子不整合であり、歪が生じている。電子供給層4は、n型不純物としてSi、S、Se、Teの少なくとも一種を含む。

【0023】また、歪スペーサ層3および電子供給層4は、電子走行層2よりも広いバンドギャップを有し、電子親和力が小さい。このため、電子供給層4にドーピングされたn型不純物から発生した電子は、電子走行層に落ち込み、電子供給層にキャリアを供給する。歪スペーサ層3にも不純物をドーピングしてもよい。

【0024】電子走行層2は、不純物濃度が低く、結晶性が高い。また、バンドギャップの広い歪スペーサ層3と隣接しているため、境界面において伝導帯のポテンシャルが低く落ち込む。このため、電子供給層4から供給された電子は、電子走行層2の界面近傍に2次元電子ガスとして分布する。歪スペーサ層3にもドーピングした場合には、そこからも電子が供給され、2次元電子ガスとなる。

【0025】図1(A)に示すような積層構造を用い、図1(B)に示すようなHEMTを作成する。図1(B)においては、電子供給層の上にオーミック接触するソース/ドレイン電極7、8が形成され、その間に電子供給層4にショットキ接触するゲート電極9が形成されている。なお、電子走行層2の歪スペーサ層3と接する界面領域には2次元電子ガス6が分布している。

【0026】以上説明したような、本発明の実施例によるHEMTの特性を説明するため、まず従来技術の分析を説明する。図2は、従来技術の分析結果を示す。図2(A)は、従来技術によるHEMTの積層構造を概略的に示す断面図、図2(B)は、その組成分布を示すグラフ、図2(C)は、組成分布から推察される積層内のポテンシャル分布を示すグラフを示す。

【0027】図2(A)において、半絶縁性GaAs基板11の上には、i型GaAs電子走行層12、i型InGaPスペーサ層13、n型InGaP電子供給層14、n型GaAsキャップ層15がエピタキシャルに積層されている。

【0028】なお、i型InGaPスペーサ層13およびn型InGaP電子供給層14は、GaAs基板11に格子整合した $\text{In}_{0.49}\text{Ga}_{0.51}\text{P}$ の組成を有する。スペーサ層13は、電子供給層14と同一組成であるが、n型不純物がドーピングされていない。n型不純物としては、たとえばSiを用いる。

【0029】図2(B)は、図2(A)に示すような積層構造を実際に作成し、その積層構造内の組成分布を2次イオン質量分析(SIMS)で分析した結果を示すグラフである。グラフ中、右側の領域が電子走行層12のGaAs領域を示し、左側がスペーサ層13のi型In

GaP領域を示す。

【0030】Siは電子供給層のみにドーブしたが、スペーサ層13と電子走行層12の界面付近においても、かなり高レベルのn型不純物Siが分布し、電子走行層12内部にも深く入り込んでいる。また、スペーサ層13の成分であるPも界面で直ちにゼロとはならず、電子走行層12中に拡散している。同様に、電子走行層の成分であるAsも、界面付近で分布がだれ、スペーサ層13内に入り込んで分布している。

【0031】このように、GaAs電子走行層の成分と、InGaPスペーサ層の成分とが界面付近で互いに拡散していると、界面近傍においては所望のシャープなヘテロ接合が実現されておらず、諸成分が混合した領域が形成されていると考えられる。すなわち、界面近傍においては、In-Ga-As-P層が形成されていると考えられる。

【0032】図2(C)は、このような界面領域が存在する場合の伝導帯のポテンシャル分布を示す。In-Ga-P-As界面領域16は、InGaPスペーサ層13側ではInGaP成分が高く、GaAs電子走行層側ではGaAs成分が高いと考えられる。このため、伝導帯のポテンシャルはInGaPスペーサ層13側からGaAs電子走行層12側に連続的に変化するものと考えられる。

【0033】このような組成変化により、界面近傍での伝導帯のポテンシャルは緩やかに変化するようになり、2次元電子ガスを蓄積する領域の幅は広がっている。さらに、In-Ga-P-As領域においては、その組成、結晶の不規則性等により、電子の移動度は大幅に低減してしまうものと考えられる。

【0034】なお、図2(D)に理想的な界面の伝導帯のポテンシャル分布を示す。スペーサ層13から電子走行層12に遷移すると、伝導帯のポテンシャル分布は急激に変化し、電子走行層12の界面付近に極めてシャープなポテンシャル変化を示す。2次元電子ガスは、電子走行層の界面付近に極めて狭く分布する。このような2次元電子ガスは、高い移動度を示す。

【0035】図3は、界面付近の組成のだれの原因を究明するために作成したテストサンプルの構成を示す。図3(A)の構成においては、GaAs基板11の上にInGaP層16a/GaAs層12a/InGaP層16bの積層構造を作成した。なお、この積層構造においては、n型不純物はドーブしていない。Si等のn型不純物をドーブしない積層構造においては、GaAs層12aの形成する量子井戸の質は良好にすることができた。

【0036】図3(B)は、従来のHEMTにおけるAlGaAs/GaAsヘテロ接合と、新規なHEMTで採用しようとするInGaP/GaAsヘテロ接合とを含むサンプル構成を示す。

【0037】すなわち、GaAs基板11の上に、AlGaAs層16a/GaAs層12/InGaP層17aの積層構造を形成した。各層はノンドーブとした。この積層構造においても、GaAs層12を量子井戸とする量子井戸構造の特性は良好であった。

【0038】図3(C)は、GaAs基板11の上に、i型GaAs電子走行層12を約6000Åエピタキシャル成長し、その上にスペーサ層として機能できるi型InGaP層13を約4000Åと厚くエピタキシャル成長した構成を示す。

【0039】i型InGaPスペーサ層13は、ノンドーブであるが、 $n = 5 \times 10^{18} \text{ cm}^{-3}$ のキャリア濃度を示した。この構成においては、2次元電子ガスの移動度として良好な値が得られた。

【0040】このようなテストサンプルにおける結果を総合すると、電子供給層にSi等の不純物をドーブしていない状態では、良好な界面特性が得られていると考えられる。したがって、n型不純物Si等をドーブすると、界面特性が乱れる原因はSiの拡散にあるものと推察される。

【0041】GaAs基板を用いる場合、InGaP電子供給層の組成は、 $\text{In}_{0.49}\text{Ga}_{0.51}\text{P}$ となり、InとGaは不規則に分布することになる。InはGaよりも原子半径が大きい。したがって、Pの隣にInが存在するときと、Gaが存在するときとは原子間隔が異なることになる。

【0042】したがって、InとGaが不規則に分布したInGaP結晶中においては、III族原子は規則的なIII族サイトを占めることができず、その位置が変動するものと考えられる。

【0043】Si等のn型不純物は、この原子レベルの間隔の違いにより結晶中を拡散しやすくなり、Siが結晶中を拡散すると、Siの拡散に伴って他の構成元素In、P、Ga、As等も拡散してしまうものと考えられる。このような拡散により、図2(B)に示したような組成分布のだれが生じ、界面にIn-Ga-As-Pの組成領域が形成される。

【0044】シャープなヘテロ接合を実現し、高い特性を有するHEMTを作成するためには、Si等のn型不純物の拡散を防止することが有効と考えられる。そこで、図1(A)に示すように、歪を有する歪スペーサ層3を形成し、n型不純物をドーブした電子供給層4からのn型不純物の拡散を歪スペーサ層3で防止することが有効と考えられる。また、ノンドーブ層なしとする場合にも歪スペーサ層3をドーブした状態で導入することにより、この電子走行層への拡散を防止できる。

【0045】図4は、本発明の実施例によるHEMT型半導体装置を示す。図4(A)はHEMTの積層構造を断面図で示し、図4(B)はスペーサ層の組成を変化させた時の特性の変化を示す。

【0046】図4(A)において、半絶縁性GaAs基板21の上に、厚さ6000Åのi型GaAs電子走行層22を形成し、その上に厚さ約25Åのi型 $\text{In}_x\text{Ga}_{1-x}\text{P}$ ($x \leq 0.48$)の歪スペーサ層23を形成する。

【0047】歪スペーサ層23の上には、GaAs基板21と格子整合するn型 $\text{In}_{0.49}\text{Ga}_{0.51}\text{P}$ の組成を有し、Siをドープした電子供給層24を形成し、その表面を厚さ約50Åのn型GaAsキャップ層25で覆う。

【0048】このような積層構造は、減圧バレル型MOCVD炉を用いて成長することができる。III族原料としては、トリメチルガリウム(TMGa)、トリエチルガリウム(TEGa)、トリメチルインジウム(TMIn)等を用い、V族原料としてはホスフィン、アルシン等を用いる。なお、以下に述べる例においては、成長温度は全て650℃とした。

【0049】歪スペーサ層23は、電子供給層24と格子整合する組成 $x=0.49$ よりも x の値が小さく、格子定数が小さくなって基板、電子供給層と格子不整合を生じている。このため、スペーサ層23には歪が発生する。

【0050】図4(B)は、歪スペーサ層23の組成 x を0.36、0.46、0.56に変化させた時の77Kにおける2次元電子ガス濃度と電子移動度の値を示すグラフである。電子移動度は組成 $x=0.4$ 付近から急速に低下している。

【0051】GaAsと格子整合する $x=0.49$ においては、電子移動度は大幅に低下している。2次元電子ガス濃度は、 x の増加と共に増大する傾向を示している。HEMTの2次元電子ガス濃度としては、 $1 \sim 2 \times 10^{12}$ 程度以上が望ましい。

【0052】図4(A)の構成においては、ほぼこの条件を満足する2次元電子ガス濃度が得られている。しかしながら、電子移動度は $x=0.4$ 付近から急速に x と共に低下している。GaAsと格子整合する $x=0.49$ を越える範囲においても電子移動度は x と共に低下する。

【0053】この現象は、In濃度が低いほど好ましいと解釈できるが、 $x=0.49$ を越える範囲での歪との関連性は今後の研究を待たなければならないであろう。ただし、 $x \leq 0.48$ の領域においては、格子整合する組成 $x=0.49$ から離れるにしたがって、従って歪が増大するにしたがって電子移動度が増大する。

【0054】図5は、他の実施例によるHEMTの基本構成を示す。図5(A)は、歪スペーサ層としてGaPを単分子層挿入した構成を示す。GaAs基板21の上に、i型GaAs電子走行層22が形成され、歪スペーサ層33を介してその上にn型 $\text{In}_{0.49}\text{Ga}_{0.51}\text{P}$ 電子供給層24、n型GaAsキャップ層25が形成される

ことは図4の実施例と同様である。

【0055】本実施例においては、歪スペーサ層33が単分子層のGaPで構成されている。GaPはGaAs基板との格子不整合が大きいため、極めて薄い層にしないと臨界膜厚を越えてしまう。本実施例においては、単分子層を用いたが、2分子層等を用いることも可能であろう。

【0056】GaP歪スペーサ層33を用いた本実施例においても、2次元ガス濃度と移動度を測定した。その値を図4(B)の $x=0$ の位置に示す。得られた値は、図4(A)の実施例と一致する特性を示している。

【0057】図5(B)は、図4(A)、図5(A)の構成を組み合わせた構成を示す。半絶縁性GaAs基板21の上に、i型GaAs電子走行層22を形成し、その上にGaP単分子層の歪スペーサ層43aを形成し、その上にi型 $\text{In}_x\text{Ga}_{1-x}\text{P}$ ($x \leq 0.48$)の歪スペーサ層43bを形成した。すなわち、歪スペーサ層を2層で構成し、その一方を単分子層GaPとし、他方を格子整合組成よりもIn組成 x が小さいInGaPとした。

【0058】歪スペーサ層43a、43bの上には、Siをドープしたn型 $\text{In}_{0.49}\text{Ga}_{0.51}\text{P}$ の電子供給層24、n型GaAsのキャップ層25を形成する。GaPはGaAs基板との格子不整合が大きいため、極めて薄い厚さの層しか形成できない。GaP単分子層の上に、さらにi型 $\text{In}_x\text{Ga}_{1-x}\text{P}$ の歪スペーサ層を併用することにより、十分な厚さのスペーサ層を形成することが可能となる。

【0059】図6は、本発明の他の実施例によるHEMTの積層構造を示す。図6(A)においては、半絶縁性GaAs基板21の上にi型GaAs電子走行層22を形成し、その上にi型InP層とi型GaP層の交互積層からなる超格子歪スペーサ層53を形成する。

【0060】超格子構造をとることにより、GaAs基板21との格子不整合の強いInP層とGaP層を用いつつ、十分な厚さの歪スペーサ層を形成することが可能となる。各InP層、GaP層の厚さは臨界膜厚を越えない十分薄いものとする。

【0061】歪スペーサ層53の上には、Siをドープしたn型 $\text{In}_{0.49}\text{Ga}_{0.51}\text{P}$ の電子供給層24およびn型GaAsキャップ層25を形成する。本実施例においては、歪スペーサ層が超格子構造で形成されるため、歪の効果のみでなく、超格子構造における多数の界面が電子供給層24から拡散するn型不純物を捕獲する作用を示すものと考えられる。このような超格子構造は、たとえば分子線エビタキシ(MBE)やガスソースMBE等によって作成することができる。

【0062】図6(B)においては、半絶縁性GaAs基板21の上にi型GaAs電子走行層22を形成した後、i型 $\text{In}_{0.49}\text{Ga}_{0.51}\text{P}$ の自然超格子層からなる歪

10

20

30

40

50

スペーサ層63を形成する。歪スペーサ層63の上には、 n 型 $\text{In}_{0.45}\text{Ga}_{0.55}\text{P}$ の電子供給層24、 n 型 GaAs のキャップ層25を形成する。

【0063】 $\text{In}_{0.5}\text{Ga}_{0.5}\text{P}$ は、(100)面上に成長すると、(111)A方向に自然超格子を形成することのできる性質を有する。自然超格子の構造を、図中右側に拡大して示す。

【0064】図6(A)、(B)に示すような自然超格子を用いた歪スペーサ層においては、III族元素のInとGaの格子位置はもはや不定ではなく、一定の位置に定まる。したがって、混晶組成でありながら、規則的な格子位置を有する規則混晶が形成される。このような規則的結晶中においては、Si等の不純物の拡散は著しく低減する。

【0065】以上、電子走行層としてGaAs、電子供給層としてInGaPを用いる場合を説明したが、HEMT構成材料として他の材料を用いることもできる。また、歪スペーサ層をノンドープとしたが、不純物をドーピングしてもその効果はくずれるものではない。

【0066】図7(A)、(B)は、前述の実施例とは異なるIII-V族化合物半導体を用いた実施例を示す。図7(A)においては、半絶縁性GaAs基板21の上に*i*型GaAs電子走行層22を形成し、その上に*i*型GaAsPの歪スペーサ層73を形成する。GaAsPは*n*型にドーピングしてもよい。

【0067】歪スペーサ層73の上には、GaAs基板と格子整合するSiをドーブした*n*型InGaP電子供給層24、*n*型GaAsキャップ層25を形成する。GaAsP歪スペーサ層73においては、Inが含まれないため、Si等の*n*型不純物の拡散が低減することが期待される。

【0068】電子走行層22として厚さ6000Åの*i*型GaAs層を用い、歪スペーサ層73として厚さ25Åの*i*型GaAsP層を用い、電子供給層24として厚さ350ÅのSiドーブInGaP層を用い、キャップ層25として厚さ50Åの*n*型GaAs層を用いた時、77Kにおいて2次元電子ガス濃度約 $1.2 \times 10^{12} \text{ cm}^{-2}$ 、移動度 $32000 \text{ V}^2 \text{ cm}^{-1} \text{ s}^{-1}$ を得た。GaAsPにSiをドーブしてもより高い2次元電子ガス濃度($1.4 \times 10^{12} \text{ cm}^{-2}$)を保ったままで高い移動度($20000 \text{ V}^2 \text{ cm}^{-1} \text{ s}^{-1}$)が実現した。

【0069】これらの値は、2次元電子ガス濃度としても移動度としても満足できるものである。この例においても、歪スペーサ層により、不純物拡散が抑制され、良好なヘテロ接合構造が得られることが示されていると考えられる。

【0070】図7(B)においては、半絶縁性InP基板81を用い、その上にInPと格子整合する*i*型InGaAs電子走行層82を形成し、その上に基板81よりも格子定数の小さな*i*型もしくは*n*型AlAs_xSb

_{1-x} (x ≥ 0.51)の歪スペーサ層83を形成する。}

【0071】歪スペーサ層83の上には、InP基板81と格子整合し、Siをドーブした*n*型AlAs_xSb_{1-x}の電子供給層84、*n*型InGaAsのキャップ層85を形成する。歪スペーサ層83以外の層はそれぞれ基板に格子整合する。

【0072】また、次に、図8に電子走行層に歪を含む場合の実施例を示す。この場合、最初の実施例においての電子走行層をInGaAsとしたものである。この系は高い2次元電子ガス濃度を示すデバイス用構造である。そして歪スペーサ層により、2次元電子ガス濃度 $1.8 \times 10^{12} \text{ cm}^{-2}$ 、移動度 $15000 \text{ V}^2 \text{ cm}^{-1} \text{ s}^{-1}$ を得ている。なお、歪スペーサ層はノンドープである。

【0073】以上説明した各層の材料は制限的なものではない。たとえば、電子供給層として、自然超格子を作成しやすい組成を用い、スペーサ層に歪スペーサ層を用いることが特に有効である。InP基板上の電子走行層としてはInGaAsの他、InPやInAsP等を用いることもできる。

【0074】また、*n*型不純物としてはSiの他、S、Se、Te等を用いてもよい。その他、電子供給層としても(Al_{1-x}Ga_x)_{1-y}、In_xGa_{1-x}P、InAlAs等を用いることもできる。

【0075】結晶成長装置は、上に説明した減圧バレル炉に限らないことは云うまでもない。以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。たとえば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0076】

【発明の効果】以上説明したように、本発明によれば、DXセンタを形成しない材料を用い、特性の優れたHEMT型III-V族半導体装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の実施例による基本構成を示す。図1(A)は積層構造を示す概略断面図、図1(B)はHEMT型半導体装置の構成を示す概略断面図である。

【図2】従来の技術の分析を示す図である。図2(A)は、従来の技術によるHEMT型半導体装置の積層構造を示す概略断面図、図2(B)は、スペーサ層と電子走行層界面付近における組成分布を示すグラフ、図2(C)は、スペーサ層と電子走行層界面付近における伝導帯のポテンシャル分布を示すダイヤグラム、図2(D)は、理想的な場合のスペーサ層と電子走行層界面付近における伝導帯のポテンシャル分布を示すダイヤグラムである。

【図3】従来の技術の分析を確認するために用いたテストサンプルの構成を示す概略断面図である。

【図4】本発明の実施例によるHEMT型半導体装置を

13

説明する図である。図4(A)は積層構造を示す概略断面図、図4(B)はスペーサ層の組成を変化させた時の組成に対する2次元電子ガス濃度と電子移動度の変化を示すグラフである。

【図5】本発明の他の実施例によるHEMT型半導体装置の構成を示す概略断面図である。

【図6】本発明の他の実施例によるHEMT型半導体装置の構成を示す概略断面図である。

【図7】本発明の他の実施例によるHEMT型半導体装置の構成を示す概略断面図である。

【図8】本発明の他の実施例によるHEMT型半導体装置の構成を示す概略断面図である。

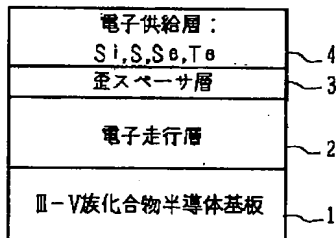
【符号の説明】

- 1 III-V族化合物半導体基板
- 2 電子走行層
- 3 歪スペーサ層
- 4 電子供給層
- 6 2次元電子ガス

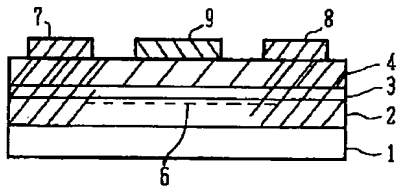
【図1】

基本構成

(A) 積層構造



(B) HEMT



- 6: 2次元電子ガス
- 7, 8: ソース/ドレイン電極
- 9: ゲート電極

14

* 7, 8 ソース/ドレイン電極

9 ゲート電極

11 GaAs基板

12 i型GaAs電子走行層

13 i型InGaPスペーサ層

14 n型InGaP電子供給層

15 n型GaAsキャップ層

21 基板

22 電子走行層

10 23 歪スペーサ層

24 電子供給層

25 キャップ層

26 バッファ層

33, 43, 53, 63, 73, 83 歪スペーサ層

81 基板

82 電子走行層

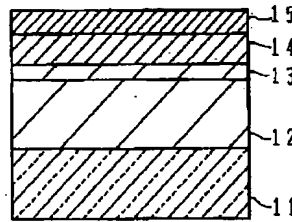
84 電子供給層

* 85 キャップ層

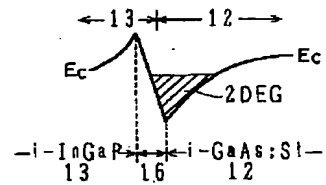
【図2】

従来技術の分析

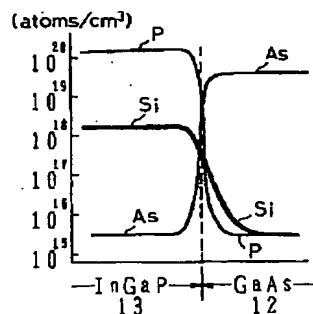
(A) 構成



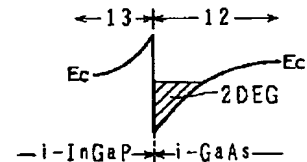
(C) 伝導帯のポテンシャル分布



(B) 組成分布



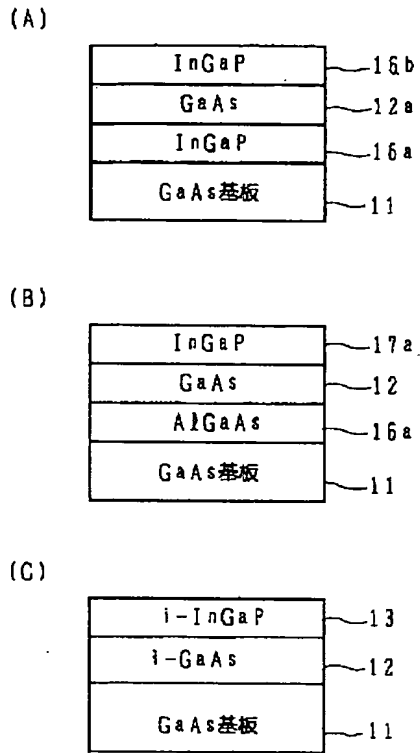
(D) 理想的な場合



- 11: GaAs基板
- 12: i-GaAs電子走行層
- 13: i-InGaPスペーサ層 (格子整合)
- 14: n-InGaP電子供給層
- 15: n-GaAsキャップ層

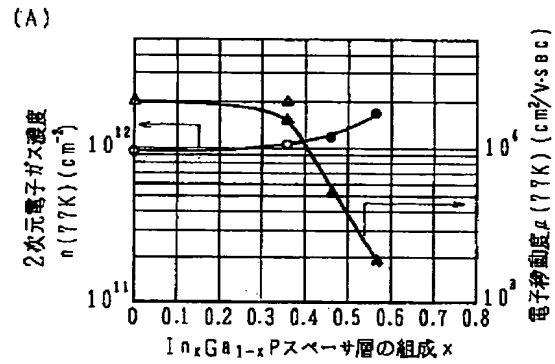
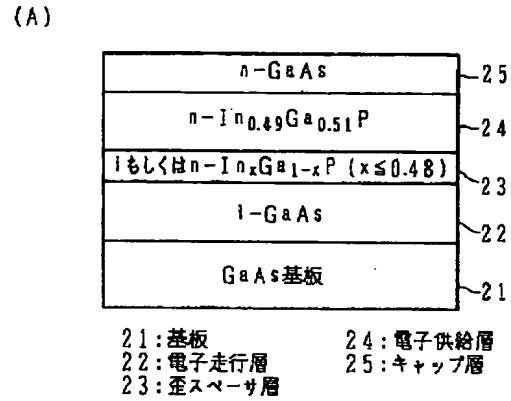
【図3】

テストサンプル



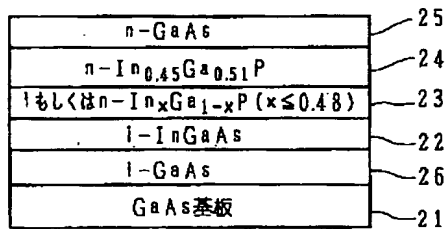
【図4】

実施例



【図8】

他の実施例

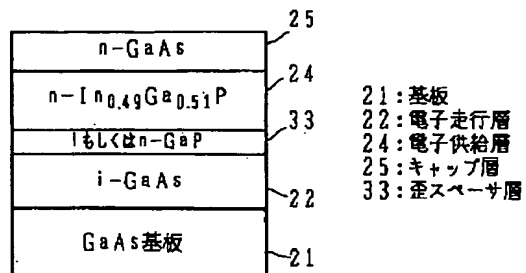


26: バッファ層

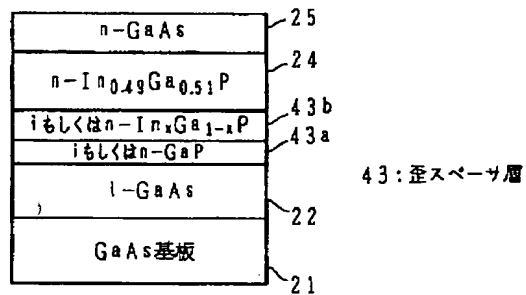
【図5】

他の実施例

(A)



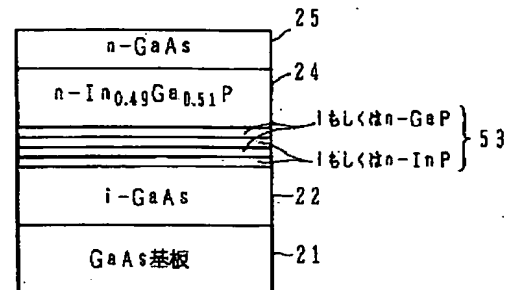
(B)



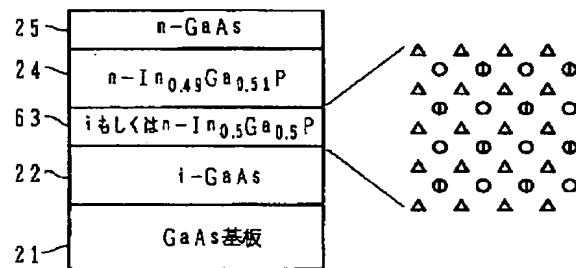
【図6】

他の実施例

(A) 人工超格子歪スペース層



(B) 自然超格子歪スペース層

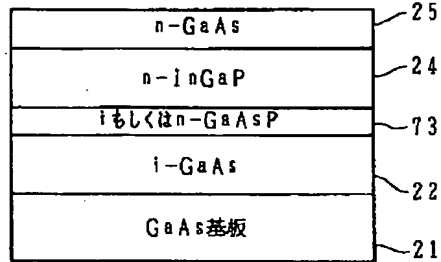


53, 63: 歪スペース層

【図7】

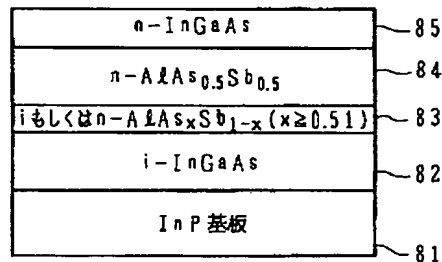
他の実施例

(A)



73:歪スペース層

(B)



81:基板

82:電子走行層

83:歪スペース層

84:電子供給層

85:キャップ層

フロントページの続き

(56)参考文献 特開 平6-140436 (JP, A)
 特開 平1-205471 (JP, A)
 特開 平1-202871 (JP, A)
 特開 平4-298050 (JP, A)
 特開 昭63-274181 (JP, A)
 特開 平6-45368 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 29/778

H01L 21/338

H01L 29/812